

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC530 U.S. PTO
09/263766



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願年月日
Date of Application:

1998年 9月18日

願番号
Application Number:

平成10年特許願第265224号

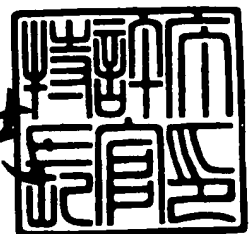
願人
Applicant(s):

富士通株式会社
富士通ヴィエルエスアイ株式会社

1999年 1月29日

特許庁長官
Commissioner,
Patent Office

伴佐山建志



【書類名】 特許願

【整理番号】 9840044

【提出日】 平成10年 9月18日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/06

【発明の名称】 信号処理回路及び信号処理回路の制御方法

【請求項の数】 14

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 富田 毅

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706390

【包括委任状番号】 9711899

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理回路及び信号処理回路の制御方法

【特許請求の範囲】

【請求項 1】 クロック信号に基づいて記録媒体から記録データを読み出したリード信号から符号間干渉を取り除いた再生信号を出力する判定帰還型等化器と、前記プリアンプルデータを読み出したリード信号に対して前記クロック信号位相引き込みを行うタイミングリカバリ PLL と、を備えた信号処理回路であって、

前記判定帰還型等化器は、

前記リード信号をフィルタリングして出力する前置フィルタと、前記前置フィルタの出力信号と帰還信号を加算し、その加算結果を判定基準に従って判定し、その判定結果に基づく判定信号を出力する判定回路と、クロック信号に基づいて前記判定信号を順次格納するシフトレジスタと、前記前置フィルタに対応するフィルタ特性を持ち、前記シフトレジスタに格納された判定結果に基づく前記帰還信号を出力する帰還フィルタと、を備え、

前記前置フィルタの出力信号と前記帰還フィルタの帰還信号を監視し、該監視結果に基づいて前記判定回路、シフトレジスタ、帰還フィルタを含む帰還ループをオンオフ制御するループ制御回路を備えたことを特徴とする信号処理回路。

【請求項 2】 前記帰還フィルタと前記判定回路の間に挿入接続されたスイッチを持ち、前記ループ制御回路は、出力する制御信号にて前記スイッチをオンオフすることにより前記帰還ループをオンオフ制御することを特徴とする請求項 1 に記載の信号処理回路。

【請求項 3】 前記判定帰還型等化器は前記シフトレジスタに格納した判定信号を再生信号として出力し、

前記ループ制御回路は、前記前置フィルタの出力信号の値と帰還信号の値の差を演算し、前記再生信号に基づいて特定した制御ポイントにおいて前記演算結果が所定の範囲内か否かを判断し、その判断結果に基づいて、前記演算結果が所定の範囲内にあるときに前記帰還ループをオンに制御することを特徴とする請求項 1 又は 2 に記載の信号処理回路。

【請求項 4】 前記判定信号とクロック信号の位相誤差を検出し、検出した位相誤差に対応する制御量を持つ制御信号を出力する検出回路を備え、

前記タイミングリカバリ PLL は前記検出回路から出力される制御信号の制御量に基づく周波数を持つクロック信号を生成し、

前記検出回路は、前記ループ制御回路から出力される前記監視結果に基づく制御信号に応答し、前記制御量を生成するための位相誤差ゲインを変更することを特徴とする請求項 3 に記載の信号処理回路。

【請求項 5】 前記検出回路には、プリアンプを読み出したリード信号に基づいて前記前置フィルタから出力される前記出力信号の制御ポイントにおける値を持つ第 1 基準信号と、プリアンプを読み出したリード信号に基づいて前記判定器から出力される前記判定信号の制御ポイントにおける値を持つ第 2 基準信号が入力され、

前記検出回路は、前記ループ制御回路から入力される制御信号に基づいて、前記第 1 又は第 2 基準信号と前記判定信号の差を制御量として持つ制御信号をパルスとして前記タイミングリカバリ PLL に出力することを特徴とする請求項 4 に記載の信号処理回路。

【請求項 6】 前記ループ制御回路は、

前記前置フィルタの出力信号の値と帰還信号の値の差を演算し、その演算結果を出力する加算器と、

前記加算器の演算結果と所定の範囲を示す値を比較する比較器と、を備え、

前記比較器の比較結果に基づいて前記帰還ループを制御することを特徴とする請求項 3 に記載の信号処理回路。

【請求項 7】 前記比較器には、前記所定の範囲を設定するための最小値と最大値とが予め格納されたことを特徴とする請求項 6 に記載の信号処理回路。

【請求項 8】 クロック信号に基づいて記録媒体から記録データを読み出したリード信号から符号間干渉を取り除いた再生信号を出力する判定帰還型等化器と、前記プリアンプデータを読み出したリード信号に対して前記クロック信号位相引き込みを行うタイミングリカバリ PLL と、を備えた信号処理回路の制御方法であって、

前記判定帰還型等化器における前置フィルタの出力信号と帰還フィルタの帰還信号を監視し、該監視結果に基づいて前記帰還フィルタを含む帰還ループをオンオフ制御することを特徴とする信号処理回路の制御方法。

【請求項 9】 前記判定帰還型等化器は前置フィルタの出力信号と帰還信号を加算し、その加算結果を判定基準に従って判定した判定信号を再生信号として出力し、

前記前置フィルタの出力信号の値と帰還信号の値の差を演算し、前記再生信号に基づいて特定した制御ポイントにおいて前記演算結果が所定の範囲内か否かを判断し、その判断結果に基づいて、前記演算結果が所定の範囲内にあるときに前記帰還ループをオンに制御することを特徴とする請求項 8 に記載の信号処理回路の制御方法。

【請求項 10】 前記タイミングリカバリ PLL は、前記判定信号とクロック信号の位相誤差に対応する制御量に基づく周波数を持つクロック信号を生成し、

前記監視結果に基づく制御信号に応答し、前記制御量を生成するための位相誤差ゲインを変更することを特徴とする請求項 9 に記載の信号処理回路の制御方法。

【請求項 11】 プリアンプを読み出したリード信号に基づいて前記前置フィルタから出力される前記出力信号の制御ポイントにおける値を持つ第 1 基準信号と、プリアンプを読み出したリード信号に基づいて前記判定器から出力される前記判定信号の制御ポイントにおける値を持つ第 2 基準信号が予め設定され、

前記第 1 又は第 2 基準信号と前記判定信号の差を制御量として持つ制御信号をパルスとして前記タイミングリカバリ PLL に出力することを特徴とする請求項 10 に記載の信号処理回路の制御方法。

【請求項 12】 前記前置フィルタの出力信号の値と帰還信号の値の差を演算し、該演算結果と所定の範囲を示す値を比較し、該比較結果に基づいて前記帰還ループを制御することを特徴とする請求項 9 に記載の信号処理回路の制御方法。

【請求項 13】 予め設定された最初値と最大値とにより前記所定の範囲を設定することを特徴とする請求項 12 に記載の信号処理回路の制御方法。

【請求項 14】 クロック信号に基づいて記録媒体から記録データを読み出したリード信号から符号間干渉を取り除いた再生信号を出力する判定帰還型等化器と、前記プリアンプルデータを読み出したリード信号に対して前記クロック信号位相引き込みを行うタイミングリカバリ PLL と、を備えた信号処理回路の制御方法であって、

プリアンプルを読み出したリード信号に基づいて前記前置フィルタから出力される前記出力信号の制御ポイントにおける値を持つ第 1 基準信号に基づいてクロック信号の位相誤差を演算し、該演算結果に対応した制御量を持つ制御信号をタイミングリカバリ PLL に出力するステップと、

前記再生信号に基づいて特定した制御ポイントにおいて前記演算結果が所定の範囲内か否かを判断するステップと、

前記判断結果に基づいて、前記演算結果が所定の範囲内にあるときに前記帰還ループをオンに制御するステップと、

プリアンプルを読み出したリード信号に基づいて前記判定器から出力される前記判定信号の制御ポイントにおける値を持つ第 2 基準信号に基づいてクロック信号の位相誤差を演算し、該演算結果に対応した制御量を持つ制御信号をタイミングリカバリ PLL に出力するステップと、
を備えた信号処理回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記録媒体から読み出したリード信号にクロック信号を引き込むタイミングリカバリ PLL と、クロック信号に基づいて記録媒体から読み出されたデータの符号再生を行う判定帰還型等化器を備えた信号処理回路及びその回路の制御方法に関するものである。

【0002】

近年、記録媒体は、記録される情報の高密度化が進められるとともに、情報を

読み出す速度の高速化が進められている。判定帰還型等化器は、記録媒体から読み出されたデータを、タイミングリカバリPLLにて生成されるクロック信号に基づいて符号再生する。そのタイミングリカバリPLLは、に基づいて、記録媒体に記録された引き込みパターン（プリアンプルデータ）に基づいて、判定帰還型等化器から出力される再生データのタイミングにクロック信号のタイミングを合わせる、所謂引き込み動作を行う。そのような判定帰還型等化器には、高速動作、高記録密度のための制御が要求されている。そのため、タイミングリカバリPLLにおいても、引き込み時間の短縮、引き込みパターンのデータ量削減を行う必要がある。

【0003】

【従来の技術】

図5は、従来の信号処理回路の一部回路図を示す。この信号処理回路10は、アナログ-デジタル変換器（ADC）11、判定帰還型等化器12、係数レジスタ13、14、PLL位相誤差検出回路15、タイミングリカバリPLL（TR-PLL）16、制御回路17を含む。

【0004】

ADC11は、TR-PLL16から入力されるクロック信号CLKに基づいて記録媒体から読み出されたデータであるアナログ信号をサンプリングすることにより、アナログ信号をデジタル信号に変換する。ADC11は、その変換結果を判定帰還型等化器12に出力する。

【0005】

判定帰還型等化器（DFE：Decision Feedback Equalizer）12は、フォワード（FW）フィルタ21、加算器22、コンパレータ23、シフトレジスタ24、フィードバック（FB）フィルタ25、インバータ回路26、スイッチ27、28、29を含む。

【0006】

ADC11から出力されるデジタル信号は、FWフィルタ21に入力される。FWフィルタ21には、第1スイッチ27を介して係数レジスタ13、14が接続される。第1係数レジスタ13には、スタートアップ時、即ち読み出し動作の

初期においてFWフィルタ21にて用いる第1フィルタ係数（スタート値）が予め格納される。第2係数レジスタ14には、通常動作時（プリアンブルデータ検出後）においてFWフィルタ21にて用いる第2フィルタ係数（通常値）が予め格納される。FWフィルタ21には、第1スイッチ27の切り替えにより、スタート値のフィルタ係数又は通常値のフィルタ係数が入力される。

【0007】

FWフィルタ21は、第1フィルタ係数を用いて、読み出し動作の初期期間において、ADC11から入力される入力信号のS/N比を最大にするような波形の信号生成を行う。また、FWフィルタ21は、第2フィルタ値を用いて、通常動作時に、上記期間と同様に信号生成を行う。これにより、FWフィルタ21は、フィルタリング後の信号S1を加算器22に出力する。

【0008】

加算器22は、FWフィルタ21の出力信号S1に、FBフィルタ25から出力される帰還信号S2の反転信号を加算演算する。即ち、加算器22は、出力信号S1から帰還信号S2を減算演算する減算器として作用する。加算器22は、演算結果を信号S3としてコンパレータ23に出力する。

【0009】

コンパレータ23は、信号S3の電圧と基準電圧REFを比較し、その比較結果に基づいて「1」又は「0」の判定信号S4を、第2スイッチ28を介してシフトレジスタ24に出力する。

【0010】

シフトレジスタ24は、コンパレータ23から出力される判定信号S4を、クロック信号CLKに同期してサンプリングし、そのサンプリングデータを順次記憶する。これにより、シフトレジスタ24は、標本化された過去の複数ビットのデータを記憶する。

【0011】

シフトレジスタ24に記憶されたデータ、詳しくはシフトレジスタの第1ビット目のレジスタに記憶されたデータ、即ちコンパレータ23から出力される判定信号S4は、再生信号として出力される。記録媒体に書き込まれたデータである

。即ち、DFE 12は、記録媒体に書き込まれたデータを符号再生する。この再生信号DATAは、データ復号処理が施され、マイコン等の装置に出力される。

【0012】

FBフィルタ25は、シフトレジスタ24から入力される信号中に含まれる符号間干渉を取り除くように動作する。FBフィルタ25は、シフトレジスタ24に記憶された複数ビットのデータに基づく帰還信号S2を出力する。その帰還信号S2は、第3スイッチ29を介して加算器22に出力する。

【0013】

前記加算器22の出力信号S3は、PLL位相誤差検出回路（以下、検出回路という）15に出力される。検出回路15には、シフトレジスタ24への入力信号S6が入力される。この入力信号S6は、第2スイッチ28の切り替え動作により、コンパレータ23の出力信号S4、又はインバータ回路26の出力信号S5が入力される。

【0014】

検出回路15は、信号S3、S6に基づいて、読み出し信号の位相と、TR-PLL16にて生成されるクロック信号CLKの位相の誤差を検出し、その検出結果に応じた制御信号S7をTR-PLL16に出力する。TR-PLL16は、入力される制御信号S7に基づいて、生成するクロック信号CLKの位相を読み出し信号の位相に引き込み、所謂位相引き込みを行う。このクロック信号CLKにより、シフトレジスタ24は、コンパレータ23の出力信号をクロック信号CLKのエッジに応答してサンプリングする。これにより、シフトレジスタ24は、リード信号RDのビット転送速度でサンプリングすることにより、前記磁気ディスクの記録データに対応する判定信号を記憶する。

【0015】

制御回路17は、シフトレジスタ24から出力される信号DATAの状態と、読み出し動作の開始から読み出したバイト数に基づいて、各スイッチ27～29の制御を行う。プリアンプルは所定のビット数が連続する繰り返しパターンのデータであり、記録媒体には、予め所定のデータ数のプリアンプルデータが格納されている。従って、読み出したプリアンプルデータのデータ数に基づいて、制御

回路 17 は、所定のタイミングにて各スイッチ 27~29 を制御するように構成されている。

【0016】

詳述すると、制御回路 17 は、次のようにしてデータの読み出し時における制御を行う。

(1) 読み出し動作開始時において、制御回路 17 は、第 1 スイッチ 27 を第 1 係数レジスタ側、第 2 スイッチ 28 をコンパレータ側、第 3 スイッチ 29 をオフ、に制御する。これにより、FW フィルタ 21 は、第 1 係数レジスタ 13 から入力される第 1 フィルタ係数（スタート値）を用いて ADC 11 からの入力信号を波形整形する。この時、第 3 スイッチ 29 がオフであるため、加算器 22 は、FW フィルタ 21 の出力信号 S1 を出力する。従って、検出回路 15 は、この DFE 12 に入力される読み出し信号に基づく制御信号を TR-PLL 16 に出力する。このようにして、TR-PLL 16 は、読み出し信号に基づいて位相引き込みを行う。

【0017】

(2) 制御回路 17 は、シフトレジスタ 24 から入力される信号 DATA に基づいて、プリアンプルデータの特徴を示すビット列（この場合は、“+++” 又は “---”）を所定回数（例えば 3 回）入力すると、次の制御を行う。即ち、制御回路 17 は、第 1 スイッチ 27 を第 2 係数レジスタ側、第 2 スイッチ 28 をインバータ側、第 3 スイッチ 29 をオン、に制御する。尚、“+” はサンプリングしたリード信号 RD の電圧が基準電圧 REF よりも高いことを示し、“-” はそれが低いことを示す。

【0018】

FW フィルタ 21 は、第 2 係数レジスタ 14 から入力される第 2 フィルタ係数（通常値）を用いて ADC 11 からの入力信号を波形整形する。シフトレジスタ 24 の出力信号は、インバータ回路 26 により反転される。シフトレジスタ 24 は、その反転信号を第 2 スイッチ 28 を介して入力する。従って、シフトレジスタ 24 は、プリアンプルデータの特徴を示すビット列 “+++---” を、繰り返し記憶する。これにより、シフトレジスタ 24 は、その記憶データをプリアンプルデ

ータに初期化する。

【0019】

加算器 22 は、オンした第 3 スイッチ 29 を介して FB フィルタ 25 から出力される出力信号 S2 を入力する。即ち、制御回路 17 は、DFE 12 のフィードバックループをオンに制御する。これにより、加算器 22 は、読み出し信号 RD に基づいて FW フィルタ 21 から出力される信号 S1 と、FB フィルタ 25 を介して帰還される信号 S2 を演算し、その演算結果を信号 S3 としてコンパレータ及び検出回路 15 に出力する。

【0020】

(3) 制御回路 17 は、上記(2)に示す制御の後、シフトレジスタ 24 から入力されるデータ数をカウントする。そして、制御回路 17 は、そのカウント値に基づいて、所定データ数経過後（例えば 5 バイト後）に、TR-PLL 16 における周波数引き込みをイネーブルにする。

【0021】

(4) 制御回路 17 は、上記(3)に示す制御の後、シフトレジスタ 24 から入力されるデータ数をカウントする。そして、制御回路 17 は、そのカウント値に基づいて、所定データ数経過後（例えば 6 バイト後）に、第 1 スイッチ 27 を第 2 係数レジスタ側、第 2 スイッチ 28 をコンパレータ側、第 3 スイッチ 29 をオン、に制御する。

【0022】

このようにして、TR-PLL 16 は、クロック信号 CLK の位相引き込みを行う。そして、DFE 12 は、クロック信号 CLK に基づいて、符号間干渉を取り除いた再生信号を出力する。

【0023】

【発明が解決しようとする課題】

ところで、記録媒体から情報を読み出す読み出し速度を高速化する、又は記録媒体を高密度化すると、プリアンプルデータを読み出す期間が短くなる。即ち、図 5 の TR-PLL 16 が引き込みを行う時間が短くなる。このことは、制御回路 17 の制御間隔を短くする。しかし、制御回路 17 は、TR-PLL 16 の引

き込みのために、FWフィルタ 21 の設定変更、フィードバックループのオン／オフ制御、シフトレジスタのプリアンプル同期、フィードバックループの初期化を行わなければならない。

【0024】

このことは、制御回路 17 において制御タイミングのズレを引き起こす原因となる。これにより、TR-PLL 16 は、引き込み動作を確実に行うことができなくなる。このため、読み出しが確実に行われなため、再び読み出し動作を最初から行わなければならない、読み出し時間の増加を招いていた。

【0025】

また、制御回路 17 は、各制御のタイミングを、プリアンプルのデータ数のみで行っている。即ち、制御回路 17 は、クロック信号 CLK の位相が読み出し信号のそれと早い段階で略一致していても、所定のデータ数が入力されるまで次の制御を行わない。このことは、TR-PLL 16 における位相引き込み期間を長くする。

【0026】

また、位相制御は、クロック信号 CLK の位相を進めるための制御と、その位相を遅らす制御を含む。そのため、クロック信号 CLK の位相引込が十分に行われない段階でフィードバックループをオンにする、即ち第 3 スイッチ 29 をオンにすると、TR-PLL 16 において疑似ロックに陥る場合がある。

【0027】

詳述すれば、プリアンプルの判定は、コンパレータ 23 にて行う。そのため、位相引込が十分ではない段階において、加算器 22 において信号 S2 が所望の値よりも大きくなる可能性を含んでいる。その結果、プリアンプルデータが、本来の状態から”++----”のようにずれる場合がある。これによる位相制御の制御量は、位相を進める制御量と、位相を遅らす制御量が同じとなる。この結果、TR-PLL 16 は、読み出し信号 RD の周波数からずれた周波数において安定したクロック信号 CLK を生成することになる。

【0028】

このように、TR-PLL 16 が疑似ロックすることにより、読み出し動作を

やり直さなければならなくなる。このことは、読み出し速度を遅くする。また、疑似ロックを防ぐら為には引き込みに必要なプリアンプルのデータ数を多くする。これにより、記録媒体の記録密度を低くするとともに、読み出し速度を遅くする。

【0029】

本発明は上記問題点を解決するためになされたものであって、その目的はタイミングリカバリ PLL の疑似ロックを防ぐことのできる信号処理回路及び信号処理回路の制御方法を提供することにある。

【0030】

【課題を解決するための手段】

請求項 1 に記載の発明によれば、判定帰還型等化器の前置フィルタの出力信号と帰還フィルタの帰還信号をループ制御回路にて監視し、その監視結果に基づいて帰還フィルタを含む帰還ループをオンオフ制御することで、出力信号と帰還信号に基づいて判定回路から出力される判定信号にクロック信号の位相引き込みを行うタイミングリカバリ PLL における疑似ロックが防止される。

【0031】

帰還ループのオンオフ制御は、請求項 2 に記載の発明のように、帰還フィルタと判定回路の間にスイッチが挿入接続され、このスイッチをループ制御回路が出力する制御信号にてオンオフすることによりなされる。

【0032】

判定帰還型等化器は、請求項 3 に記載の発明のように、シフトレジスタに格納した判定信号を再生信号として出力する。この再生信号に基づいて、ループ制御回路は、前置フィルタの出力信号の値と帰還信号の値の差を演算し、再生信号に基づいて特定した制御ポイントにおいて演算結果が所定の範囲内か否かを判断し、その判断結果に基づいて、演算結果が所定の範囲内にあるときに帰還ループがオンに制御される。

【0033】

請求項 4 に記載の発明のように、判定信号とクロック信号の位相誤差を検出し、検出した位相誤差に対応する制御量を持つ制御信号を出力する検出回路が備え

られる。タイミングリカバリ PLL は検出回路から出力される制御信号の制御量に基づく周波数を持つクロック信号を生成し、検出回路は、ループ制御回路から出力される監視結果に基づく制御信号に応答し、制御量を生成するための位相誤差ゲインを変更することにより、引き込み時間が短縮される。

【0034】

位相誤差ゲインは、請求項 5 に記載の発明のように、検出回路に入力されるプリアンプルを読み出したリード信号に基づいて前置フィルタから出力される出力信号の制御ポイントにおける値を持つ第 1 基準信号と、プリアンプルを読み出したリード信号に基づいて判定器から出力される判定信号の制御ポイントにおける値を持つ第 2 基準信号が入力される。検出回路は、ループ制御回路から入力される制御信号に基づいて、第 1 又は第 2 基準信号と判定信号の差を制御量として持つ制御信号をパルスとしてタイミングリカバリ PLL に出力することで、容易に変更される。

【0035】

ループ制御回路には、請求項 6 に記載の発明のように、前置フィルタの出力信号の値と帰還信号の値の差を演算し、その演算結果を出力する加算器と、加算器の演算結果と所定の範囲を示す値を比較する比較器と、が備られ、この比較器の比較結果に基づいて帰還ループが制御される。

【0036】

比較器には、請求項 7 に記載の発明のように、所定の範囲を設定するための最小値と最大値とが予め格納され、帰還ループを制御するときに帰還信号の量が所望の値となることで、この帰還信号によりシフトレジスタを初期化することができる。

【0037】

請求項 8 に記載の発明によれば、判定帰還型等化器における前置フィルタの出力信号と帰還フィルタの帰還信号を監視し、該監視結果に基づいて帰還フィルタを含む帰還ループをオンオフ制御することで、リード信号にクロック信号の位相引き込みを行うタイミングリカバリ PLL における疑似ロックが防止される。

【0038】

帰還ループは、請求項 9 に記載の発明のように、前置フィルタの出力信号の値と帰還信号の値の差を演算し、再生信号に基づいて特定した制御ポイントにおいて演算結果が所定の範囲内か否かを判断し、その判断結果に基づいて、演算結果が所定の範囲内にあるときにオンに制御される。

【0039】

クロック信号は、請求項 10 に記載の発明のように、タイミングリカバリ PLL にて判定信号とクロック信号の位相誤差に対応する制御量に基づく周波数を持つように生成される。そして、監視結果に基づく制御信号に応答し、制御量を生成するための位相誤差ゲインが変更される。

【0040】

位相誤差ゲインは、請求項 11 に記載の発明のように、プリアンプを読み出したリード信号に基づいて前置フィルタから出力される出力信号の制御ポイントにおける値を持つ第 1 基準信号と、プリアンプを読み出したリード信号に基づいて判定器から出力される判定信号の制御ポイントにおける値を持つ第 2 基準信号が予め設定され、第 1 又は第 2 基準信号と判定信号の差を制御量として持つ制御信号をパルスとしてタイミングリカバリ PLL に出力することで変更される。

【0041】

帰還ループは、請求項 12 に記載の発明のように、前置フィルタの出力信号の値と帰還信号の値の差が演算され、該演算結果と所定の範囲を示す値が比較し、該比較結果に基づいて制御される。

【0042】

所定の範囲は、請求項 13 に記載の発明のように、予め設定された最初値と最大値とにより設定され、これにより、帰還ループを制御するときの帰還信号の値を所望の値にすることができ、この帰還信号によりシフトレジスタを初期化することができる。

【0043】

請求項 14 に記載の発明によれば、プリアンプを読み出したリード信号に基づいて前置フィルタから出力される出力信号の制御ポイントにおける値を持つ第 1 基準信号に基づいてクロック信号の位相誤差が演算され、該演算結果に対応し

た制御量を持つ制御信号がタイミングリカバリPLLに出力される。次に、再生信号に基づいて特定した制御ポイントにおいて演算結果が所定の範囲内か否かが判断され、その判断結果に基づいて、演算結果が所定の範囲内にあるときに帰還ループがオンに制御される。更に、プリアンブルを読み出したリード信号に基づいて判定器から出力される判定信号の制御ポイントにおける値を持つ第2基準信号に基づいてクロック信号の位相誤差が演算され、その演算結果に対応した制御量を持つ制御信号をタイミングリカバリPLLに出力されることで、そのタイミングリカバリPLLにおける疑似ロックが防止される。

【0044】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図4に従って説明する。

尚、説明の便宜上、図5と同様の構成については同一の符号を付してその説明を一部省略する。

【0045】

図1は、ハードディスク装置の概略構成を示す。

ハードディスク装置31は、ホストコンピュータ32に接続されている。ハードディスク装置31は、ホストコンピュータ32の書き込み要求に応答し、ホストコンピュータ32から入力される記録データを記録媒体としての磁気ディスク33に記録する。また、ハードディスク装置31は、ホストコンピュータ32の読み出し要求に応答し、磁気ディスク33に記録された格納データを読み出し、ホストコンピュータ32に出力する。

【0046】

ハードディスク装置31は、磁気ディスク33、第1、第2モータM1、M2、ヘッド装置34、信号処理回路35、サーボ回路36、マイクロプロセッサ(MPU)37、メモリ(RAM)38、ハードディスクコントローラ(HDC)39、インタフェース回路40を含む。各回路35～40は、バス41に接続されている。

【0047】

磁気ディスク33は、第1モータM1により一定の回転数にて回転駆動される

。ヘッド装置 34 は、第 2 モータ M2 により磁気ディスク 33 の半径方向に位置制御される。ヘッド装置 34 は、磁気ディスク 33 に記録された情報を読み出してリード信号 RD として信号処理回路 35 に出力する。

【0048】

信号処理回路（リード／ライトチャネル IC と呼ばれる）35 は、リード信号 RD を、そのリード信号 RD に同期してサンプリングしてデジタル信号に変換する。信号処理回路 35 は、変換後のデジタル信号に復号処理を施し、その処理後の信号を出力する。

【0049】

サーボ回路 36 は、バス 41 を介して信号処理回路 35 の出力信号が入力される。サーボ回路 36 は、第 1 モータ M1 を制御し、磁気ディスク 33 を一定速度にて回転駆動させる。サーボ回路 36 は、出力信号に含まれるサーボのための情報に基づいて、第 2 モータ M2 を制御し、ヘッド装置 34 を目的のトラックにオントラックさせる。

【0050】

MPU 37 は、RAM 38 に予め記憶されたプログラムデータに基づいて、ホストコンピュータ 32 から入力される書き込み／読み出し処理等のためのコマンドを解析し、バス 41 を介して HDC 39 等に制御のための信号を出力する。HDC 39 は、MPU 37 から入力される信号に基づいて、信号処理回路 35、サーボ回路 36 を制御する。HDC 39 は、バス 41 を介して信号処理回路 35 の出力信号を入力する。

【0051】

HDC 39 は、入力されたデータを所定のバイト数よりなるセクタ単位に組み立て、その組み立てたセクタ毎に例えば ECC (Error Correcting Code) 誤り訂正処理等の処理を行い、その処理後のデータをバス 41 を介してインタフェース回路 40 に出力する。インタフェース回路 40 は、所定の通信方式に基づいて HDC 39 の出力データを変換して読み出しデータとしてホストコンピュータ 32 へ出力する。

【0052】

図2は、信号処理回路35を構成するデータ読み出し回路のブロック回路図を示す。

信号処理回路35は、アナログーデジタル変換回路(ADC)11、判定帰還型等化器(DFE:Decision Feedback Equalizer)51、フィードバックループ制御回路52、PLL位相誤差検出回路53、タイミングリカバリPLL(TR-PLL)54、シーケンス制御回路55を含む。

【0053】

ADC11は、TR-PLL54から入力されるクロック信号CLKに基づいて記録媒体から読み出されたデータであるアナログ信号をサンプリングすることにより、リード信号RDをデジタル信号に変換する。ADC11は、その変換結果を判定帰還型等化器51に出力する。

【0054】

DFE51は、フォワード(FW)フィルタ(前置フィルタ)61、加算器62、シフトレジスタ63、フィードバック(FB)フィルタ(帰還フィルタ)64、スイッチ65を含む。

【0055】

ADC11から出力されるデジタル信号は、FWフィルタ61に入力される。FWフィルタ61は、任意の伝達特性を持つデジタルフィルタである。FWフィルタ61は、シーケンス制御回路55から入力されるリードゲート信号RGにตอบสนองし、ADC11から入力される入力信号のS/N比を最大にするような波形の信号生成を行う。FWフィルタ61は、フィルタリング後の信号S11を加算器62に出力する。

【0056】

加算器62は、図5に示す従来の加算器22とコンパレータ23の機能を併せ持つ。即ち、加算器62は、FWフィルタ61の出力信号S11に、FBフィルタ64から出力される帰還信号S12の反転信号を加算演算する。即ち、加算器62は、出力信号S11から帰還信号S12を減算演算する減算器として作用する。更に、加算器62は、演算結果の値と基準電圧REF(図示略)を比較し、その比較結果に基づいて「1」又は「0」の判定信号S13をシフトレジスタ6

3に出力する。

【0057】

シフトレジスタ63は、加算器62から出力される判定信号S13を、クロック信号CLKに同期してサンプリングし、そのサンプリングデータを順次記憶する。これにより、シフトレジスタ63は、標本化された過去の複数ビットのデータを記憶する。

【0058】

シフトレジスタ63に記憶されたデータ、詳しくはシフトレジスタの第1ビット目のレジスタに記憶されたデータ、即ち加算器62から出力される判定信号S13は、再生信号DATAとして出力される。これは、記録媒体に書き込まれたデータである。即ち、DFE51は、記録媒体に書き込まれたデータを符号再生する。この再生信号DATAは、データ復号処理が施され、マイコン等の装置に出力される。

【0059】

FBフィルタ64は、シフトレジスタ63から入力される信号中に含まれる符号間干渉を取り除くように動作する。FBフィルタ64は、シフトレジスタ63に記憶された複数ビットのデータに基づく帰還信号S12を出力する。その帰還信号S12は、スイッチ65を介して加算器62に出力される。

【0060】

前記加算器62の出力信号S13は、PLL位相誤差検出回路（以下、検出回路という）53に出力される。検出回路53には、第1、第2基準信号REF1、REF2が入力される。

【0061】

第1基準信号REF1は、プリアンプルを読み出したリード信号RDに基づいて前記前置フィルタから出力される理想的な出力信号S11の制御ポイントにおける値を持つ。第2基準信号REF2は、プリアンプルを読み出したリード信号RDに基づいて前記判定器から出力される理想的な判定信号S13の制御ポイントにおける値を持つ。

【0062】

検出回路 53 は、出力信号 S13 と第 1 又は第 2 基準信号 REF1, REF2 に基づいて、読み出し信号の位相と、TR-PLL54 にて生成されるクロック信号 CLK の位相の誤差を検出し、その検出結果に応じた制御信号 K1 を TR-PLL54 に出力する。TR-PLL54 は、入力される制御信号 K1 に基づいて、生成するクロック信号 CLK の位相をリード信号 RD の位相に引き込む、所謂位相引き込みを行う。このクロック信号 CLK により、シフトレジスタ 63 は、加算器 62 から出力される判定信号 S13 をクロック信号 CLK のエッジにตอบสนองしてサンプリングする。これにより、シフトレジスタ 63 は、リード信号 RD のビット転送速度でサンプリングすることにより、前記磁気ディスク 33 の記録データに対応する判定信号を記憶する。

【0063】

シフトレジスタ 63 から出力される信号 DATA は、フィードバックループ制御回路（以下、ループ制御回路という）52 に入力される。

ループ制御回路 52 は、入力されるイネーブル信号 ENB に基づいて活性化し、DFE51 のフィードバックループ、TR-PLL54、検出回路 53 を制御する機能を持つ。ループ制御回路 52 は、FW フィルタ 61 の出力信号 S11 の値と、FB フィルタ 64 の出力信号 S12 の値を監視する。ループ制御回路 52 は、シフトレジスタ 63 から出力される信号 DATA に基づいて、制御ポイントを特定する。そして、ループ制御回路 52 は、制御ポイントにおける監視結果に基づいてフィードバックループ、TR-PLL54、位相比較ゲインを制御する機能を持つ。

【0064】

ループ制御回路 52 は、FW フィルタ 61 の出力信号 S11 の値（FW）から FB フィルタ 64 の出力信号 S12 の値（FB）を減算した結果である“FW-FB”値が所定の範囲内にあるか否かを常に監視する。ループ制御回路 52 は、信号 DATA の値が「0→1」又は「1→0」のようにデータが遷移するポイントを制御ポイントとして特定する。

【0065】

ループ制御回路 52 は、制御ポイントにおいて、“FW-FB”値が所定の範

囲内である時に制御信号 K 2 を出力する。スイッチ 6 5 は、その制御信号 K 2 に応答してオン／オフする。即ち、ループ制御回路 5 2 は、制御信号 K 2 により、スイッチ 6 5 をオン／オフ制御する。ループ制御回路 5 2 は、スイッチ 6 5 の状態により、D F E 5 1 のフィードバックループをオン／オフ制御する。

【0066】

このように、制御ポイントにおける”FW-FB”値は、位相ズレの方向（進み又は遅れ）を特定する。即ち、ループ制御回路 5 2 は、制御ポイントにおける信号 D A T A の位相の方向と、”FW-FB”値が示す位相の方向が一致する場合に、フィードバックループをオンする。これにより、ループ制御回路 5 2 は、T R - P L L 5 4 における疑似ロックを防止する。

【0067】

また、制御ポイントにおける”FW-FB”値は、位相のズレ量に対応する。従って、ループ制御回路 5 2 は、従来のように所定のデータ数を入力するまで待つことなく、位相のズレ量に応じてフィードバックループをオンに制御する。このことは、フィードバックループをオンした後の制御開始を早くし、読み出し期間の短縮する。

【0068】

ループ制御回路 5 2 は、前記監視結果に基づいて、T R - P L L 5 4 に制御信号 K 3 を出力する。T R - P L L 5 4 は、制御信号 K 3 に応答し、フィードバックループがオフの状態において P L L 引き込み動作を開始する。このことは、T R - P L L 5 4 における引き込み期間を短くする。

【0069】

ループ制御回路 5 2 は、前記監視結果に基づいて、検出回路 5 3 に制御信号 K 4 を出力する。検出回路 5 3 は、制御信号 K 4 に応答し、位相比較ゲインを通常動作時よりも大きくする。このことは、T R - P L L 5 4 に入力される位相誤差に対応する制御量を多くする、即ち、位相引き込みの制御量を多くするため、引き込み期間を短くする。

【0070】

ループ制御回路 5 2 は、加算器 6 6 と比較器 6 7 を含む。加算器 6 6 には F W

フィルタ 61 の出力信号 S11 と、FB フィルタ 64 の出力信号 S12 が入力される。加算器 66 は、出力信号 S11 と帰還信号 S12 の反転信号を加算演算する。即ち、加算器 66 は、出力信号 S11 から帰還信号 S12 を減算演算する減算器として作用する。これにより、ループ制御回路 52 は、演算結果として”FW-FB” 値を得る。加算器 66 は、演算結果を比較器 67 に出力する。

【0071】

比較器 67 には、前記演算結果と、シフトレジスタ 63 から出力されるデータ DATA が入力される。比較器 67 には、予め判定値 min, max が格納されている。判定値 min は範囲を指定するための最小値であり、判定値 max は範囲を指定するための最大値である。

【0072】

比較器 67 は、演算結果の値と、判定値 min, max を比較する。これにより、ループ制御回路 52 は、演算結果即ち”FW-FB” 値が、判定値 min, max により設定される範囲に入っているか否かを判断する。比較器 67 は、この判断結果に基づいて、前記制御信号 K2~K4 を出力する。

【0073】

検出回路 53 には、前記制御信号 K4、基準信号 REF1, REF2 が入力される。第1、第2基準信号 REF1, REF2 は、TR-PLL 54 を制御する位相ゲインに対応する。第1基準信号 REF1 は、理想的なプリアンプルに対応して FW フィルタ 61 から出力される出力信号 S11 の特定ポイントにおける値、即ち、信号 S11 の値が「0→1」又は「1→0」と遷移するポイントにおける値を持つ。第2基準信号 REF2 は、フィードバックループをオンした後、加算器 62 から出力される信号 S13 の特定ポイントにおける値を持つ。この第2基準信号 REF2 の値は、第1基準信号 REF1 の値よりも小さい。これにより、検出回路 53 は、第1基準信号 REF1 を用いた位相制御におけるゲインを、第2基準信号 REF2 を用いたそれよりも大きくする。

【0074】

検出回路 53 は、基準信号 REF1, REF2 を用いて位相誤差検出を行い、その位相誤差に対応する量を持つパルス信号（制御信号）K1 を TR-PLL 5

4に出力する。

【0075】

TR-PLL 54は、ループフィルタ68と電圧制御発振器(VCO)69を含む。ループフィルタ68は、検出回路53から出力されるパルス信号K1を平滑した直流電圧を出力信号K11としてVCO69に出力する。VCO69は、ループフィルタ68の出力信号K11の電圧値に応じた周波数を持つクロック信号CLKをADC11、検出回路53、シフトレジスタ63に出力する。

【0076】

上記のようにして、検出回路53は、加算器62の出力信号S13とクロック信号CLKの位相差に応じてループフィルタ44の出力信号K11の電圧値を上昇/下降させる。これにより、TR-PLL 54は、VCO69から出力されるクロック信号CLKの周波数を、プリアンプルデータを読み出している時のリード信号RDの周波数に一致させようとする、所謂引き込み動作する。

【0077】

シーケンス制御回路55には、図1のMPU37から読み出しを制御するための制御信号が入力される。シーケンス制御回路55は、制御信号に基づいて活性化すると、所定の読み出しシーケンスに従って前記リードゲート信号RG、イネーブル信号ENBを出力する。これにより、シーケンス制御回路55は、上記の各回路51~54を制御する。

【0078】

このようにして、TR-PLL 54は、クロック信号CLKの位相引き込みを行う。そして、DFE51は、クロック信号CLKに基づいて、符号間干渉を取り除いた再生信号DATAを出力する。

【0079】

次に、上記の信号処理回路35の作用を、図3、4に従って説明する。

図3は、信号処理回路35の動作フローチャートを示す。図4は、信号処理回路35のタイミングチャートを示す。

【0080】

まず、図2のシーケンス制御回路55は、図1のMPU37から制御信号が入

力されると、図4の時刻T1においてリードゲート信号RGを活性化(ON)(図4ではHレベル)にする(ステップ1)。FWフィルタ61は、活性化したリードゲート信号RGにตอบสนองし、ADC11から入力される信号をフィルタリングし、その結果を信号S11として出力する。

【0081】

ループ制御回路52は、フィードバックループ、PLL制御をオフにする(ステップ2)。これにより、シフトレジスタ63は、プリアンプルデータに基づいてFWフィルタ61から出力される信号S11が、加算器62を介して符号ビットとして順次格納される。

【0082】

次に、シーケンス制御回路55は、時刻T2においてイネーブル信号ENBを活性化(図4ではHレベル)する(ステップ3)。ループ制御回路52は、活性化したイネーブル信号ENBにตอบสนองし、制御信号K4を検出回路53に出力する。検出回路53は、その制御信号K4にตอบสนองして第1基準信号REF1に基づく位相誤差量を持つ信号K1を出力する(ステップ4)。ループフィルタ68は、制御信号K1にตอบสนองして、フィードバックループがオフしている状態に対応するフィルタ定数をセットする(FB-OFF set)。

【0083】

この信号K1は、ループ制御回路52からの制御により位相誤差ゲインが大きい。このため、検出回路53は、位相ゲインにより大きな制御量を持つ信号K1を出力する。この信号K1は、ループフィルタ68により平滑化される。従って、ループフィルタ68は、位相誤差に応じて信号K1の出力時間を、通常動作のそれよりも長くする。これにより、VCOは、通常動作時よりも早く位相を合わせる、所謂位相引き込みを短時間で行うことができる。このようにして、TR-PLL54は、加算器62の出力信号S13(符号判定結果、再生結果)に対してクロック信号CLKの位相を合わせる急速引き込み動作を行う。

【0084】

ループ制御回路52の比較器67は、加算器66の演算結果である”FW-FB”値と判定値min, maxを比較する。そして、比較器67は、所定の制御

ポイントにおいて”FW-FB”値が判定値 min , max の範囲内にあるか否かを判断する(ステップ5)。

【0085】

範囲内にない場合、ループ制御回路52は、ステップ5をループする、即ち制御ポイントにおいて”FW-FB”値が判定値 min , max の範囲内となるまで待つ。そして、制御ポイントにおいて”FW-FB”値が所定範囲内になる(図4の時刻T3)と、比較器67は、活性化(図4ではHレベル)した制御信号K2を出力し、スイッチ65をON、即ちフィードバックループをオンに制御する(ステップ6)。

【0086】

この制御信号K2を受け、検出回路53は、第2基準信号REF2を用いて誤差検出を行う。ループフィルタ68は、制御信号K2に応答し、フィードバックループをオンした状態に対応する定数をセットする(FB-ON set)。このようにして、TR-PLL54は、通常の引き込み動作を行う(ステップ7)。

【0087】

シーケンス制御回路55は、時刻T3から所定期間経過した時刻T4になると、制御信号TRを活性化(図4ではHレベル)する(ステップ8)。これにより、TR-PLL54は、PLLループを制御する(TRCON)。

【0088】

検出回路53は、制御信号TRに応答し、第2基準信号REF2に基づいて位相誤差検出を行う。ループフィルタ68は、追従動作に対応するループ定数をセットする(追従set)(ステップ9)。この時のループ定数は、プリアンプルデータに続いて入力されるシンクバイト(SB)、記録データ(DATA)においても、引き込んだクロック信号CLKの周波数が所定値からはずれにくくするような値を持つ。

【0089】

次に、シーケンス制御回路55は、シンクバイト(SB)を検出すると、そのシンクバイト検出信号を図1のMPU37に出力する。MPU37は、シンクバイト検出信号を入力すると、信号処理回路35から入力されるシンクバイトに続

くビットデータを記録データとして扱い、この記録データに対する処理を行う（ステップ10）。

【0090】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

（1）判定帰還型等化器51のFWフィルタ61から出力される出力信号S11とFBフィルタ64から出力される帰還信号S12をループ制御回路54にて監視し、その監視結果に基づいてFBフィルタ64を含む帰還ループをオンオフ制御するようにした。この結果、出力信号S11と帰還信号S12に基づいて加算器62から出力される判定信号S13にクロック信号CLKの位相引き込みを行うタイミングリカバリPLL54における疑似ロックを防ぐことができる。

【0091】

（2）ループ制御回路52の比較器67に所定の範囲を設定するための最小値と最大値となる判定min, mixを予め記憶する。そして、シフトレジスタ63から出力される再生信号DATAにより特定する制御ポイントにおいて、加算器66から出力されるFWフィルタ61の出力信号S11とFBフィルタ64の帰還信号S12の差の値が所定の範囲内にあるときに帰還ループをオンに制御するようにした。この時に加算器66から出力される信号の値は、帰還ループの加算器62から出力される判定信号S13の値と同じである。従って、帰還ループをオンした時に入力される判定信号S13の値を所定の範囲内にすることができる。これにより、シフトレジスタ63を所望の値で初期化することができ、それにより帰還ループにおける過応答が押さえられる。その結果、TR-PLL54における位相引き込み時間を短縮することができる。

【0092】

（3）TR-PLL54において位相引き込み時間を短縮することで、磁気ディスク33に記憶するプリアンプルデータのデータ量を少なくすることが可能となる。これにより、記録データを格納する領域が多くなるため、磁気ディスク33の記録密度を高くすることができる。

【0093】

【発明の効果】

以上詳述したように、本発明によれば、タイミングリカバリ PLL の疑似ロックを防ぐことが可能な信号処理回路及び信号処理回路の制御方法を提供することができる。

【図面の簡単な説明】

【図 1】 一実施形態のハードディスク装置の概略構成図。

【図 2】 一実施形態の信号処理回路のブロック回路図。

【図 3】 信号処理回路の動作を示すフローチャート。

【図 4】 信号処理回路のタイミング図。

【図 5】 従来の信号処理回路のブロック回路図。

【符号の説明】

51 判定帰還型等化器 (DFE)

52 ループ制御回路

53 位相誤差検出回路

54 タイミングリカバリ PLL (TR-PLL)

61 フォワードフィルタ (前置フィルタ)

64 フィードバックフィルタ (帰還フィルタ)

CLK クロック信号

RD リード信号

S11 出力信号

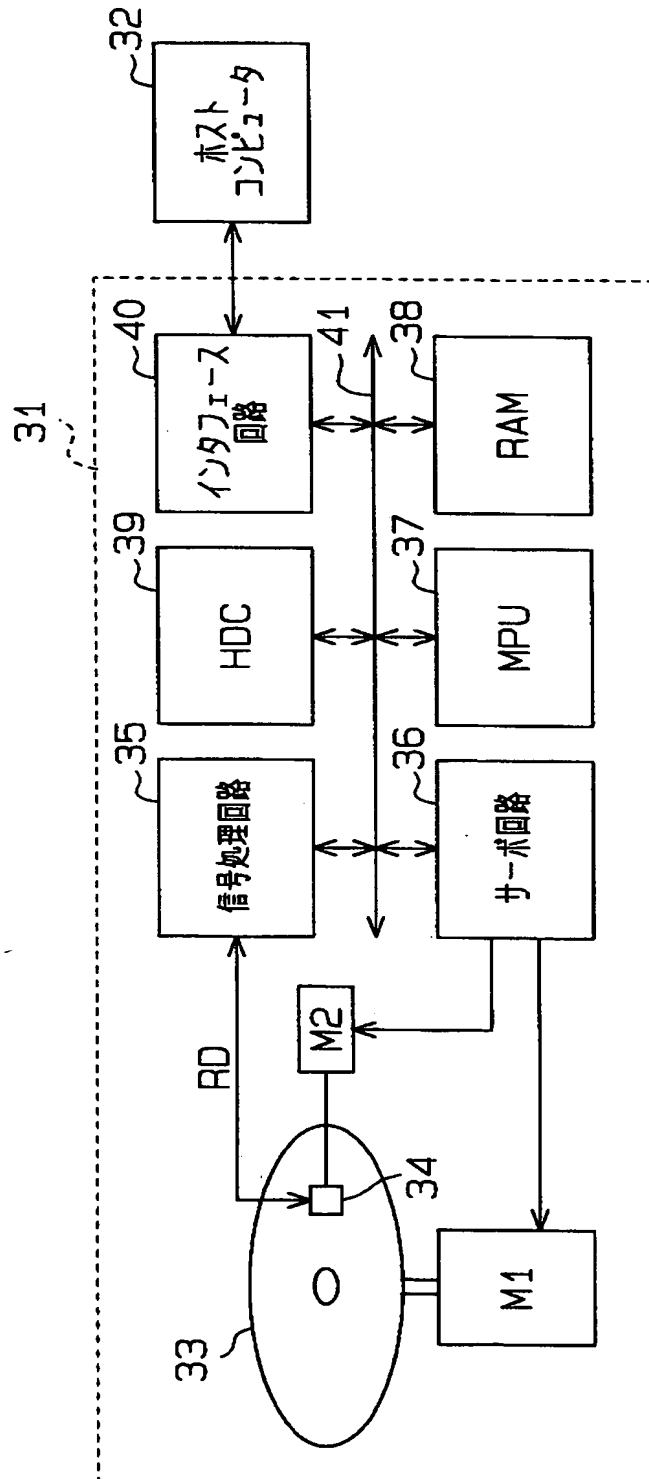
S12 帰還信号

【書類名】

図面

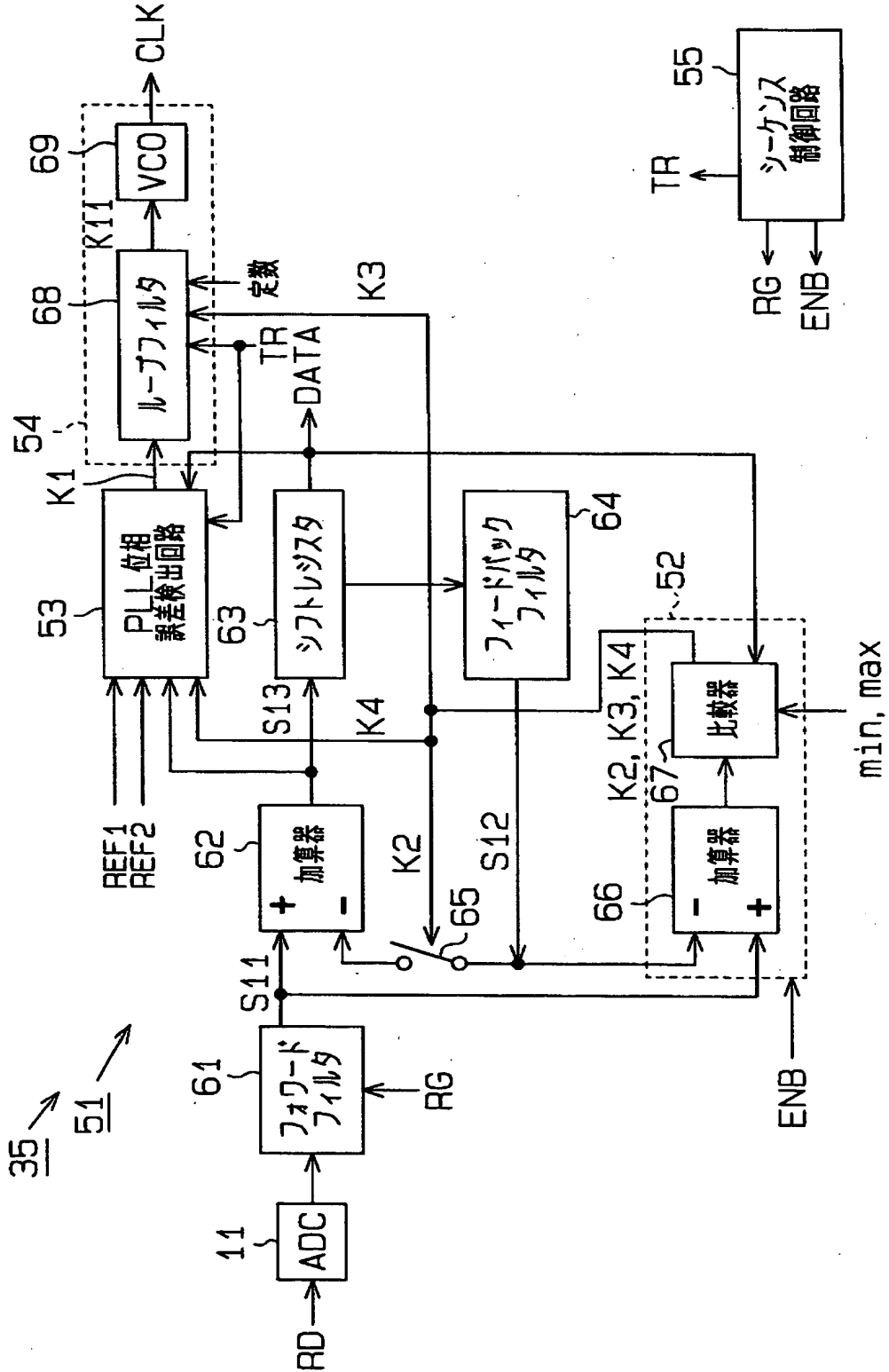
【図 1】

一実施形態のハードディスク装置の概略構成図



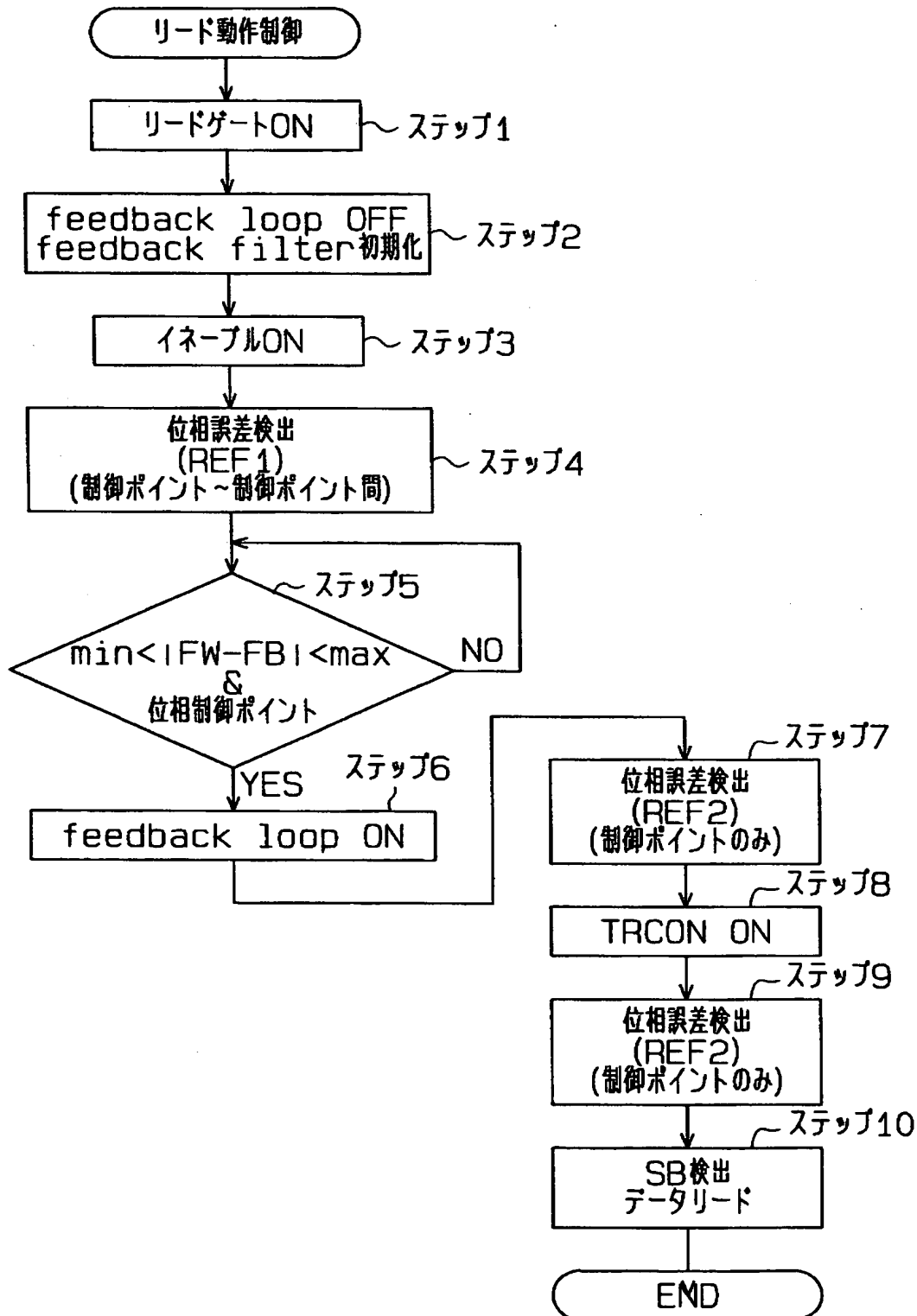
【図2】

一実施形態の信号処理回路のブロック回路図



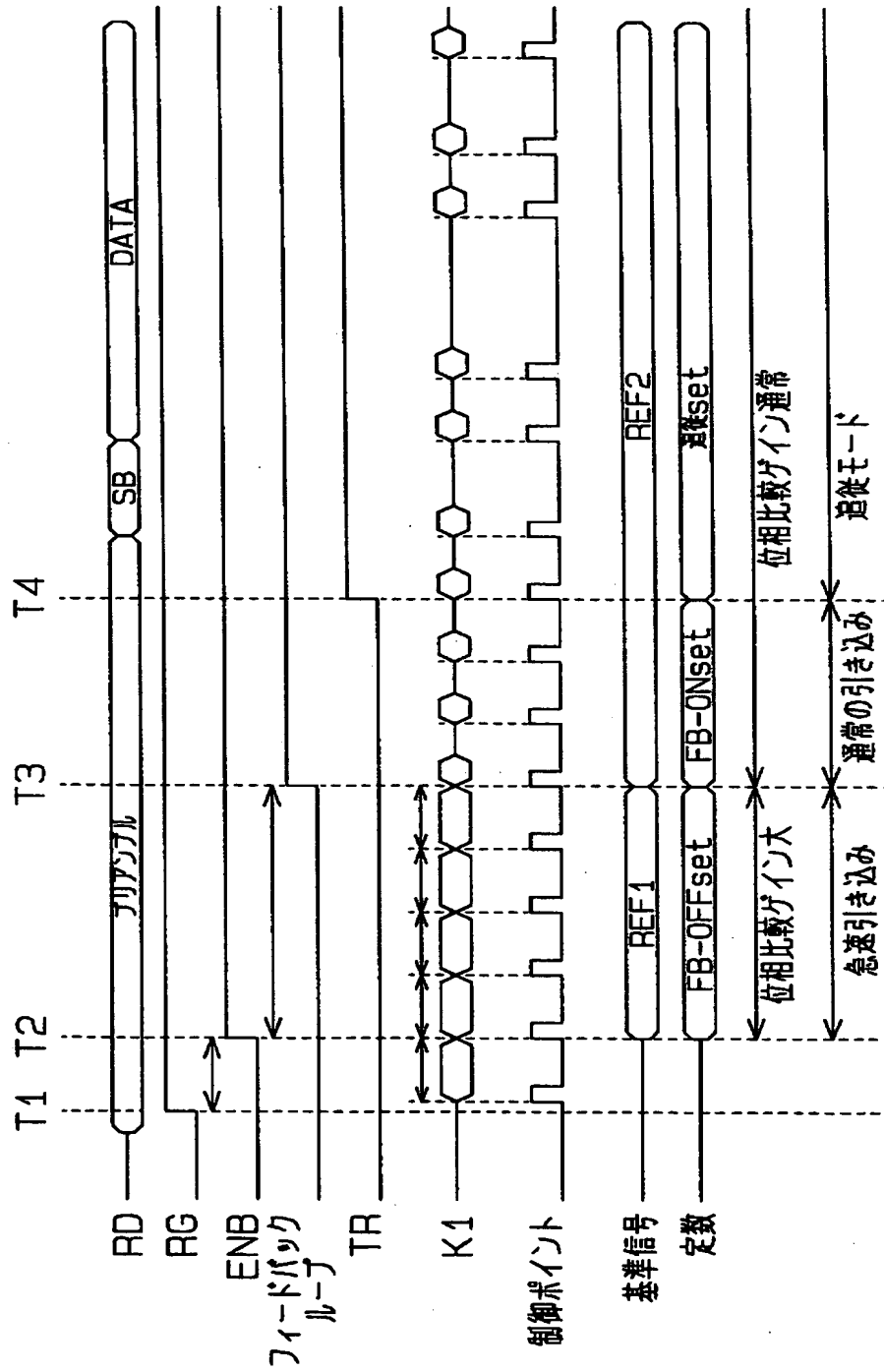
【図 3】

信号処理回路の動作を示すフローチャート



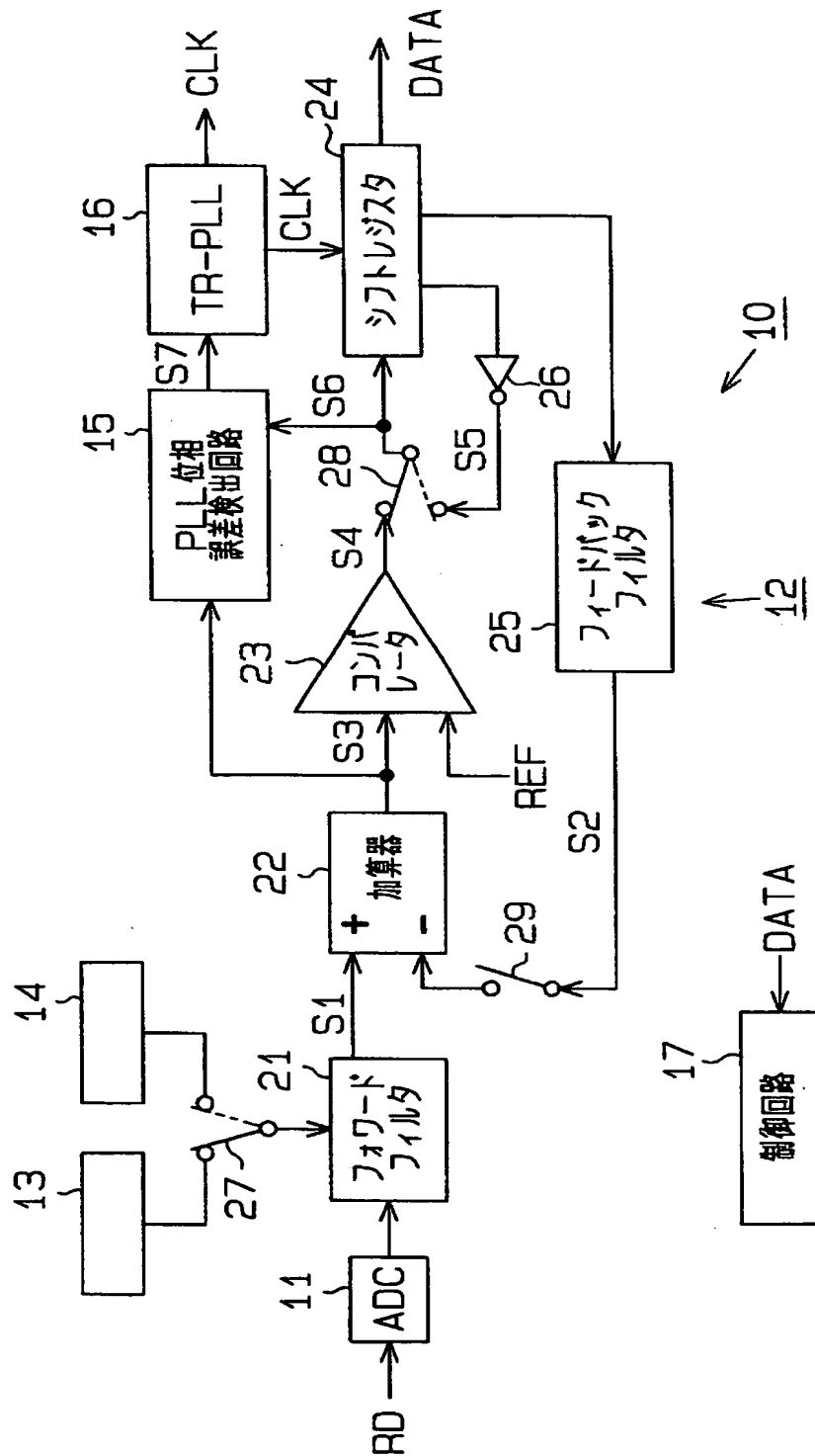
【図 4】

信号処理回路のタイミング図



【図 5】

従来の信号処理回路のブロック回路図



【書類名】 要約書

【要約】

【課題】 タイミングリカバリ PLL の疑似ロックを防ぐことのできる信号処理回路を提供すること。

【解決手段】 判定帰還型等化器 51 の FW フィルタ 61 から出力される出力信号 S11 と FB フィルタ 64 から出力される帰還信号 S12 をループ制御回路 54 にて監視し、その監視結果に基づいて FB フィルタ 64 を含む帰還ループをオンオフ制御するようにした。この結果、出力信号 S11 と帰還信号 S12 に基づいて加算器 62 から出力される判定信号 S13 にクロック信号 CLK の位相引き込みを行うタイミングリカバリ PLL 54 における疑似ロックを防ぐ。

【選択図】 図 2

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社

【特許出願人】
【識別番号】 000237617
【住所又は居所】 愛知県春日井市高蔵寺町2丁目1844番2
【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】 申請人
【識別番号】 100068755
【住所又は居所】 岐阜県岐阜市大宮町2丁目12番地の1
【氏名又は名称】 恩田 博宣

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社